

10/07/2005

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/014208

International filing date: 03 August 2005 (03.08.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-237207
Filing date: 17 August 2004 (17.08.2004)

Date of receipt at the International Bureau: 15 September 2005 (15.09.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2004年 8月17日

出願番号
Application Number: 特願2004-237207

パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号

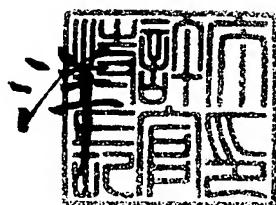
The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is

出願人
Applicant(s): ローム株式会社

2005年 8月31日

特許庁長官
Commissioner,
Japan Patent Office

八月三十一日



【書類名】 特許願
【整理番号】 PR4-00239
【提出日】 平成16年 8月17日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/76
【発明者】
【住所又は居所】 京都市右京区西院溝崎町21番地 ローム株式会社内
【氏名】 山中 貴光
【特許出願人】
【識別番号】 000116024
【氏名又は名称】 ローム株式会社
【代理人】
【識別番号】 100087701
【弁理士】
【氏名又は名称】 稲岡 耕作
【選任した代理人】
【識別番号】 100101328
【弁理士】
【氏名又は名称】 川崎 実夫
【手数料の表示】
【予納台帳番号】 011028
【納付金額】 16,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0402732

【書類名】特許請求の範囲

【請求項 1】

半導体基板と、

この半導体基板上の領域であって、この半導体基板に形成されたトレンチ内に絶縁物を埋め込んだ素子分離部によって分離された第1素子形成領域を有する第1領域と、

前記第1素子形成領域に形成された第1素子と、

前記半導体基板上の上記第1領域とは別の領域であって、第2素子形成領域を有する第2領域と、

前記第2素子形成領域に形成され、ゲート電極のエッジ部にゲート絶縁膜よりも厚いLOCOS酸化膜を配置したドリフト・ドレイン構造を有し、前記第1素子よりも高耐圧の第2素子とを含むことを特徴とする半導体装置。

【請求項 2】

前記第2素子形成領域は、前記半導体基板に形成されたトレンチ内に絶縁物を埋め込んだ素子分離部によって分離された領域であることを特徴とする請求項1記載の半導体装置。

【請求項 3】

前記第2素子形成領域は、LOCOS酸化膜によって分離された領域であることを特徴とする請求項1記載の半導体装置。

【請求項 4】

前記第1素子は、前記第2素子よりも小さな素子サイズを有するものであることを特徴とする請求項1ないし3のいずれかに記載の半導体装置。

【請求項 5】

半導体基板上の第1領域に、この半導体基板に形成されたトレンチ内に絶縁物を埋め込んだ素子分離部を形成し、この素子分離部によって分離された第1素子形成領域を形成する工程と、

前記半導体基板の前記第1領域とは異なる第2領域に第2素子形成領域を形成する工程と、

前記第1素子形成領域に第1素子を形成する工程と、

ゲート電極のエッジ部にゲート絶縁膜よりも厚いLOCOS酸化膜を配置したドリフト・ドレイン構造を有し、前記第1素子よりも高耐圧の第2素子を前記第2素子形成領域に形成する工程とを含むことを特徴とする半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置およびその製造方法

【技術分野】

【0001】

この発明は、耐圧の異なる複数の素子を半導体基板上に共通に搭載した半導体装置およびその製造方法に関する。

【背景技術】

【0002】

たとえば、液晶表示パネルの駆動回路を構成する集積回路（ドライバIC）やディジタルスチルカメラ等のオートフォーカス制御のための集積回路（オートフォーカスIC）のような半導体装置は、半導体基板上に耐圧の異なる複数種類のトランジスタ素子（典型的にはMOS型電界効果トランジスタ）を搭載して構成される場合がある。このような半導体装置は、たとえば、半導体基板上に、低耐圧トランジスタが形成された低耐圧領域と、高耐圧トランジスタが形成された高耐圧領域とを備えている。

【0003】

個々のトランジスタ素子を形成するための素子領域の分離は、LOCOS (local oxidation of silicon) 法で行われるか、またはSTI (Shallow Trench Isolation (シャロウ・トレンチ・アイソレーション)) 法により行われる。LOCOS法は、シリコン基板の表面に選択的に熱酸化膜を成長させることによって素子領域を分離する方法である。一方、STI法は、シリコン基板に形成した浅いトレンチ（深さ4000Å程度）内に絶縁体（たとえば酸化シリコン）を埋め込むことによって素子形成領域を分離する方法である。

【0004】

半導体基板上に低耐圧領域および高耐圧領域の両方を有する半導体装置においても、両領域にLOCOS法を等しく適用した構成（特許文献1、2）、または両領域にSTI法を等しく適用した構成が、従来から採用されてきた。

【特許文献1】特開平10-284615

【特許文献2】特開2002-76288

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかし、LOCOS法を低耐圧領域に適用すると、この低耐圧領域における素子の微細化が阻害される。その一方で、STI法を高耐圧領域に適用すると、トレンチのエッジ部において顕著な電界集中が生じ、耐圧の劣化を招く。

より具体的には、高耐圧のMOS型トランジスタは、ゲート電極のエッジ部にゲート酸化膜よりも厚い酸化膜を配置することによって、ゲート電極エッジ部における電界の集中を緩和するドリフト・ドレイン構造がとられる場合がある。その厚い酸化膜は、LOCOS法による素子分離構造が採られる場合にはLOCOS酸化膜で形成され、STI法による素子分離構造が採られる場合にはSTI部によって形成される。そして、STI部によって厚い酸化膜を形成する場合に、ゲート電極エッジ部の直下に位置するSTI部の角部（トレンチの角部）において、電界の集中が生じることになるのである。

【0006】

そこで、この発明の目的は、半導体基板上に耐圧の異なる複数の領域を有し、耐圧の低い領域では素子の微細化を図ることができる一方、耐圧の高い領域の素子には十分な耐圧を付与することができる半導体装置およびその製造方法を提供することである。

【課題を解決するための手段】

【0007】

上記の目的を達成するための請求項1記載の発明は、半導体基板（40）と、この半導体基板上の領域であって、この半導体基板に形成されたトレンチ（54）内に絶縁物（55）を埋め込んだ素子分離部（52）によって分離された第1素子形成領域（53）を有

する第1領域(50)と、前記第1素子形成領域に形成された第1素子(51)と、前記半導体基板上の上記第1領域とは別の領域であって、第2素子形成領域(73)を有する第2領域(70)と、前記第2素子形成領域に形成され、ゲート電極(81)のエッジ部にゲート絶縁膜(80)よりも厚いLOCOS酸化膜(84, 85)を配置したドリフト・ドレイン構造を有し、前記第1素子よりも高耐圧の第2素子(71)とを含むことを特徴とする半導体装置である。なお、括弧内の英数字は後述の実施形態における対応構成要素等を表す。以下、この項において同じ。

【0008】

この構成によれば、比較的低耐圧の第1素子が形成される第1領域における素子分離には、いわゆるシャロウ・トレンチ・アイソレーション(STI)が適用されるので、この第1領域の構造の微細化を有利に図ることができる。その一方で、第2領域に形成される比較的高耐圧の第2素子は、ゲート電極のエッジ部にLOCOS酸化膜を有するドリフト・ドレイン構造に形成されているので、STI部からなる厚い絶縁膜をゲート電極エッジ部に配置する場合のような電界の集中の問題を抑制できる。これにより、第2素子は、十分な耐圧を有することができる。

【0009】

請求項2記載の発明は、前記第2素子形成領域は、前記半導体基板に形成されたトレンチ(74)内に絶縁物(75)を埋め込んだ素子分離部(72)によって分離された領域であることを特徴とする請求項1記載の半導体装置である。

この構成では、第2領域においても第1領域と同様にSTIによる素子形成領域の分離がされているので、共通の工程で、第1および第2領域の素子形成領域の分離構造を形成することができ、製造が容易である。

【0010】

請求項3記載の発明は、前記第2素子形成領域は、LOCOS酸化膜(98)によって分離された領域であることを特徴とする請求項1記載の半導体装置である。

この構成では、第2領域における素子形成領域の分離にはLOCOS法が適用されているので、第2領域における電界の集中をより一層低減して、高耐圧化にさらに有利な構成とすることができる。

【0011】

請求項4記載の発明は、前記第1素子は、前記第2素子よりも小さな素子サイズを有するものであることを特徴とする請求項1ないし3のいずれかに記載の半導体装置である。

前述のとおり、第1領域における素子形成領域の分離には、素子の微細化に有利なSTI法が適用されているので、第1素子の微細化を容易に図ることができる。

請求項5記載の発明は、半導体基板(40)上の第1領域(50)に、この半導体基板に形成されたトレンチ(54)内に絶縁物(55)を埋め込んだ素子分離部(52)を形成し、この素子分離部によって分離された第1素子形成領域(53)を形成する工程と、前記半導体基板の前記第1領域とは異なる第2領域(70)に第2素子形成領域(73)を形成する工程と、前記第1素子形成領域に第1素子(51)を形成する工程と、ゲート電極(81)のエッジ部にゲート絶縁膜(80)よりも厚いLOCOS酸化膜(84, 85)を配置したドリフト・ドレイン構造を有し、前記第1素子よりも高耐圧の第2素子(71)を前記第2素子形成領域に形成する工程とを含むことを特徴とする半導体装置の製造方法である。

【0012】

この方法により、請求項1記載の半導体装置を作製することができる。

【発明を実施するための最良の形態】

【0013】

以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。

図1は、この発明の一実施形態に係る半導体装置の構成を説明するための図解的な断面図である。この半導体装置は、複数の低耐圧トランジスタ51が形成される第1領域50と、複数の高耐圧トランジスタ71が形成される第2領域70とを有するシリコン基板(

半導体基板の一例) 40を備えている。

【0014】

第1領域50内に形成された複数の低耐圧トランジスタ51は、シリコン基板40の表層部に形成されたシャロウ・トレンチ分離(STI: Shallow Trench Isolation)部52によって分離された素子形成領域53内に形成されている。STI部52は、シリコン基板40の表面に形成された浅い(たとえば、深さ4000Å程度)トレンチ54内に酸化シリコン55を埋め込んで形成されている。

【0015】

素子形成領域53を含む領域には、シリコン基板40の表層部に、ウェル(P型ウェルまたはN型ウェル)56が形成されている。このウェル56内には、チャネル領域57を挟んでソース拡散層58およびドレイン拡散層59(P型ウェル内ではN型拡散層、N型ウェル内ではP型拡散層)が形成されている。そして、チャネル領域57の表面に、たとえば膜厚32Åのゲート酸化膜60が形成され、このゲート酸化膜60上にゲート電極61が積層されている。

【0016】

図示は省略するが、さらに、ゲート電極61上およびソース/ドレイン拡散層58, 59を覆うように層間絶縁膜が形成されている。この層間絶縁膜に形成されたコンタクト孔を介してソース拡散層58およびドレイン拡散層59にそれぞれ接合するようにソース電極およびドレイン電極が形成されている。

第1領域50内に形成されている複数の低耐圧トランジスタ51は、いずれもNチャンネル型トランジスタ(P型ウェル内にN型ソース・ドレイン拡散層を形成したもの)であってもよいし、いずれもPチャンネル型トランジスタ(N型ウェル内にP型ソース・ドレイン拡散層を形成したもの)であってもよく、Nチャンネル型トランジスタおよびPチャンネル型トランジスタの両方を含んでいてもよい。

【0017】

第2領域70に形成された高耐圧トランジスタ71は、シリコン基板40の表層部に形成されたSTI部72によって分離された素子形成領域73に形成されている。STI部72は、シリコン基板40の表面に形成された浅い(たとえば、深さ4000Å程度)トレンチ74内に酸化シリコン75を埋め込んで形成されている。

素子形成領域73を含む領域には、シリコン基板40の表層部に、ウェル(P型ウェルまたはN型ウェル)76が形成されている。このウェル76内には、チャネル領域77(アクティブ領域)を挟んでソース側ドリフト層78およびドレイン側ドリフト層79(P型ウェル内ではN型ドリフト層、N型ウェル内ではP型ドリフト層)が形成されている。そして、チャネル領域77の表面に、たとえば膜厚1000Åのゲート酸化膜80が形成され、このゲート酸化膜80上にゲート電極81が積層されている。

【0018】

ドリフト層78, 79の表面には、厚いLOCOS酸化膜84, 85(たとえば、膜厚2800Å程度)がそれぞれ形成されている。ゲート電極81は、チャネル領域77上からLOCOS酸化膜84, 85のチャネル領域77側縁部に至る領域に形成されている。これにより、ゲート電極81の端部81aは、ゲート酸化膜80よりも厚いLOCOS酸化膜84, 85上に位置しており、電界の集中を防いで高耐圧を実現するドリフト・ドレイン構造が形成されている。

【0019】

LOCOS酸化膜84, 85には、ドリフト層78, 79にソース電極およびドレイン電極をそれぞれ接合するためのコンタクト孔86, 87が形成されている。これらのコンタクト孔86, 87の直下の領域には、ドリフト層78, 79と同じ導電型でそれらよりも高濃度に不純物を含むソースコンタクト層78aおよびドレインコンタクト層79aがそれぞれ形成されている。図示は省略するが、さらに、上述の層間絶縁膜が、ゲート電極81上およびLOCOS酸化膜84, 85を覆うように形成されている。この層間絶縁膜には、ソース電極およびドレイン電極のためのコンタクト孔がそれぞれ形成されており、

これらはLOCOS酸化膜84, 85に形成されたコンタクト孔86, 87に連通している。

【0020】

ドリフト層78, 79は、LOCOS酸化膜84, 85の下方を回り込んでチャネル領域77へと進入している。LOCOS酸化膜84, 85のチャネル領域77側の縁部からチャネル領域77の内方へのドリフト層78, 79の進入距離X1, X2は、後述の製造方法の適用によって、ばらつきを抑制して、精度よく制御される。

第2領域70内に形成されている複数の高耐圧トランジスタ71は、いずれもNチャネル型トランジスタ(P型ウェル内にN型ドリフト層を形成したもの)であってもよいし、いずれもPチャネル型トランジスタ(N型ウェル内にP型ドリフト層を形成したもの)であってもよく、Nチャネル型トランジスタおよびPチャネル型トランジスタの両方を含んでいてもよい。

【0021】

高耐圧トランジスタ71は、低耐圧トランジスタ51よりも耐圧の高いトランジスタである。たとえば、高耐圧トランジスタ71の耐圧は、40V程度であるのに対して、低耐圧トランジスタ51の耐圧は、1.8V程度である。また、低耐圧トランジスタ51は、高耐圧トランジスタ71よりも微細な構造であり、高耐圧トランジスタ71の素子サイズ(素子形成領域73の大きさ)は20μmのオーダーであるのに対して、低耐圧トランジスタ51の素子サイズ(素子形成領域53の大きさ)は1μmのオーダーとなっている。

【0022】

この実施形態の半導体装置では、素子形成領域53, 73の分離をSTI部52, 72によって行っているので、LOCOS法による素子分離の場合に比較して、素子分離のために占有される領域(素子分離領域)を小さくすることができる。これにより、とくに、低耐圧領域である第1領域50において微細構造の低耐圧トランジスタ51を高密度に形成することができる。その一方で、高耐圧領域である第2領域70においては、ドリフト・ドレイン構造のための厚い酸化膜は、LOCOS酸化膜84, 85で形成されている。これにより、この厚い酸化膜をSTI構造で形成する場合における電界集中の問題を克服することができ、高耐圧トランジスタ71の耐圧を向上することができる。

【0023】

図2A～2Lは、前記の半導体装置の製造方法を工程順に示す断面図である。まず、図2Aに示すように、STI部52, 72を形成したシリコン基板40が作製される。具体的には、シリコン基板40の表面の第1および第2領域50, 70に、たとえば反応性イオンエッチングによってトレンチ54, 74(深さ4000Å程度)を形成し、さらに、全面に酸化シリコン膜(HDP:高密度プラズマ酸化膜)が形成される。その後、CMP(化学的機械的研磨)法によって表面を平坦化し、トレンチ54, 74外の酸化シリコン膜を除去することにより、トレンチ54, 74内に酸化シリコン55, 75が埋め込まれた構造のSTI部52, 72が得られる。

【0024】

この状態から、第2領域70のウェル76を形成すべき領域に開口を有するレジスト膜41でシリコン基板40の表面を覆い、このレジスト膜41をマスクとしてウェル76の形成ための不純物イオンが注入される。この不純物イオンは、ウェル76をP型とする場合であれば、たとえばホウ素イオンであり、ウェル76をN型とする場合であれば、たとえばリンイオンである。このイオン注入の際、第1領域50はレジスト膜41で覆われているので、この第1領域50には不純物イオンは導入されない。

【0025】

次に、図2Bに示すように、レジスト膜41を剥離し、熱酸化法によって、シリコン基板40の表面全面にバッド酸化膜42が形成される。この際にシリコン基板40に与えられる熱を利用して、シリコン基板40に注入された不純物イオンの熱拡散(ドライブ)が行われ、シリコン基板40内にウェル76が形成される。

続いて、図2Cに示すように、CVD(化学的気相成長)法によって、バッド酸化膜4

2の全面を被覆する窒化シリコン膜43（たとえば、膜厚300Å程度）が形成される。次いで、図2Dに示すように、窒化シリコン膜43の表面にレジスト膜44のパターンが形成される。このレジスト膜44は、図1の構造におけるLOCOS酸化膜84, 85に対応するレジスト開口44a（チャネル領域77を挟んで対向する一対の領域に形成されるレジスト開口）を有し、残余の部分を被覆するものである。すなわち、レジスト膜44は、第1領域50全体を被覆し、第2領域70のチャネル領域77に対応する領域を被覆し、コンタクト孔86, 87に対応する領域を被覆している。このレジスト膜44をマスクとして、ドリフト層78, 79を形成するための不純物イオンが注入される。この不純物イオンは、ウェル76とは反対の導電型の不純物イオンであり、ドリフト層78をN型とする場合であれば、たとえばリンイオンが用いられ、ドリフト層78, 79をP型とする場合であれば、たとえばホウ素イオンである。不純物イオンの注入エネルギーは、イオン投影飛程がST1部72の厚さよりも小さくなるように設定される。

【0026】

この後、図2Eに示すように、レジスト膜44をマスクとして、ドライエッチングである反応性イオンエッチング（RIE：Reactive Ion Etching）が行われ、後に耐酸化性マスク膜として用いられる窒化シリコン膜43がバターニングされる。すなわち、この窒化シリコン膜43は、レジスト膜44と同様、第1領域50全体を被覆し、第2領域70のチャネル領域77に対応する領域を被覆し、コンタクト孔86, 87に対応する領域を被覆している。この窒化シリコン膜43は、レジスト膜44によってバターニングされるので、このレジスト膜44のレジスト開口44aと整合するマスク開口43aを有することになり、このマスク開口43aは、チャネル領域77を挟んで対向する一対の領域に形成される。

【0027】

次に、図2Fに示すように、窒化シリコン膜43を耐酸化性マスクとした熱酸化（LOCOS法）が行われる。これにより、第2領域70内において、チャネル領域77を挟んで対向する領域（ドリフト層78, 79の領域）にLOCOS酸化膜84, 85が形成されるとともに、注入されたイオンの熱拡散（ドライブ）が生じることにより、チャネル領域77を挟んで対向するドリフト層78, 79が形成されることになる。

【0028】

LOCOS酸化膜84, 85は、2800Å程度の膜厚を有している。また、ドリフト層78, 79は、LOCOS酸化膜84, 85のチャネル領域77側エッジ部よりも、チャネル領域77の内方に進入距離X1, X2だけ入り込んだ状態となる。図2Dおよび図2Eを参照して説明したとおり、ドリフト層78, 79の形成のためのイオン注入時に使用されるマスクとしてのレジスト膜44は、LOCOS酸化膜84, 85の形成時の耐酸化性マスクとしての窒化シリコン膜43のバターニングのためにも利用されている。したがって、ドリフト層78, 79およびLOCOS酸化膜84, 85は、自己整合的に形成されることになる。その結果、上記の進入距離X1, X2は、熱による拡散距離で決定されることになり、高精度に制御されるから、複数の高耐圧トランジスタ71間でのばらつきはもちろんのこと、複数の半導体装置間でのばらつきを抑制できる。これにより、耐圧のばらつきを大幅に低減することができる。

【0029】

図2Fに示すように、LOCOS酸化膜84, 85を形成するための熱酸化処理によって、窒化シリコン膜43の表面には、酸化皮膜（薄い酸化膜）45（たとえば膜厚150Å程度）が形成され、この酸化皮膜45の分だけ窒化シリコン膜43の膜厚が減少する（たとえば150Å程度となる）。LOCOS酸化膜84, 85の形成時に十分な膜厚の酸化皮膜45が窒化シリコン膜43上に成長しない場合には、たとえば、CVD法によって、窒化シリコン膜43を被覆する酸化皮膜45を成長させる工程を行ってもよい。

【0030】

次に、図2Gに示すように、チャネル領域77（LOCOS酸化膜84, 85の間の領域）を露出させるとともに、シリコン基板40上の残余の部分を被覆するパターンのレジ

スト膜46が形成される。そして、このレジスト膜46をマスクとして、ふっ酸液によるウェットエッチングが行われる。これにより、レジスト膜46から露出している領域において、窒化シリコン膜43の表面の酸化皮膜45がエッチング除去される。窒化シリコン膜43は、ふっ酸液によるエッチングレートが酸化シリコンに比較して十分に低いので、シリコン基板40上に残留する。

【0031】

次いで、図2Hに示すように、レジスト膜46を剥離した後、熱リン酸液（室温よりも高温のリン酸液）によるエッチングを行う。具体的には、たとえば、150°Cのリン酸液中に約60分間シリコン基板40を浸漬する。これにより、表面に酸化皮膜45が形成されていない領域において、窒化シリコン膜43が剥離される。すなわち、LOCOS酸化膜84, 85の領域の窒化シリコン膜43が選択的に剥離されることになる。このとき、酸化シリコンは熱リン酸液によるエッチングレートが低いので、ほぼそのままシリコン基板40上に残留する。こうして、第1領域50を窒化シリコン膜43で被覆（さらに、第2領域70内のチャネル領域77以外の領域を被覆）した状態で、チャネル領域77においてのみ、窒化シリコン膜43を選択的に除去することができる。熱リン酸液によるエッチングにおける窒化シリコン膜43のバッド酸化膜42（下地膜）に対する選択比は100以上であり、エッチング時間設計におけるマージンを大きくとることができる。

【0032】

この後、ふっ酸液によっエッチングを行うことにより、チャネル領域77の表面のバッド酸化膜42を除去して、シリコン基板40の表面を露出させることができる。

この状態から、熱酸化処理が行われ、図2Iに示すように、チャネル領域77にゲート酸化膜80（たとえば、膜厚1000Å）が成長させられる。このとき、チャネル領域77以外の領域では、窒化シリコン膜43で覆われているので、この窒化シリコン膜43上に若干の酸化膜が成長するものの、シリコン基板40の表面における酸化膜の成長は生じない。

【0033】

このように、第2領域70のチャネル領域77上の窒化シリコン膜43の選択除去は、ふっ酸液とリン酸液とを用いたウェットエッチング工程によって行われ、反応性イオンエッチングのようなドライエッチング工程を必要としない。そのため、チャネル領域77のシリコン基板40の表面にプラズマによるダメージが与えられることがないので、良好な膜質のゲート酸化膜80を形成することができるとともに、キャリヤが移動するチャネル領域77の表層部におけるシリコン基板40の結晶状態を良好な状態に保持できる。反応性イオンエッチング工程によって窒化シリコン膜43にマスク開口43aを開口する図2Eの工程では、LOCOS酸化膜84, 85が形成される領域が開口されるので、このときにシリコン基板40の表面に与えられるダメージが素子特性に影響することはない。

【0034】

さらに、第1および第2領域50, 70の両方に、第2領域70に対応した厚いゲート酸化膜を形成し、第1領域50側の当該厚いゲート酸化膜を選択的に除去した後に、この第1領域50側に選択的に薄いゲート酸化膜を形成するような工程をとる場合と比較すると、第1および第2領域50, 70の間に顕著な段差が生じることを防止できるという利点がある。すなわち、第1領域50に対応したゲート酸化膜60、第2領域70に対応したゲート酸化膜80、およびLOCOS酸化膜84, 85の3種類の膜厚の酸化シリコン膜を、顕著な段差を生じさせることなく形成することができる。これにより、その後のリソグラフィ工程におけるフォーカスマージンの低下を抑制できる。

【0035】

次に、図2Iの工程に続いて、図2Jに示すように、シリコン基板40上の全部の窒化シリコン膜43が剥離される。具体的には、ふっ酸液によって窒化シリコン膜43の表面の酸化皮膜45をエッチングした後、熱リン酸液によって、窒化シリコン膜43が除去される。窒化シリコン膜43の表面の薄い酸化膜のエッチングによって、ゲート酸化膜80の若干の膜減りが生じるが、このときのエッチングは窒化シリコン膜43の表面の薄い酸

化膜を除去するだけであるので、ゲート酸化膜80は、単に表層部分がエッティングされるだけであり、問題とはならない。

【0036】

次に、図2Kに示すように、第2領域70の全体を被覆するとともに、第1領域50においてウェル56に対応する領域においてシリコン基板40の表面を露出させるレジスト膜47が形成される。このレジスト膜47をマスクとしてウェル56の形成のための不純物イオンが注入される。この不純物イオンは、ウェル56をP型とする場合であれば、たとえばホウ素イオンであり、ウェル56をN型とする場合であれば、たとえばリンイオンである。このイオン注入の際、第2領域70はレジスト膜47で覆われているので、この第2領域70には不純物イオンは導入されない。

【0037】

続いて、図2Lに示すように、レジスト膜47をマスクとして、ふっ酸液によるウェットエッティングを行い、第1領域50（とくにウェル56の領域）におけるシリコン基板40の表面のバッド酸化膜42が除去される。

そして、図2Mに示すように、熱酸化法によって、ウェル56の領域にゲート酸化膜60が形成される。このゲート酸化膜60の膜厚は、たとえば32Åである。このゲート酸化膜60を形成すべき領域におけるシリコン基板40の表面は、第2領域70にLOCOS酸化膜84を形成する工程においても、また、第2領域70においてゲート酸化膜80を形成する工程においても、終始、窒化シリコン膜43によって保護されている。そのため、第1領域50に形成されるゲート酸化膜60は、LOCOS酸化膜84, 85や第2領域70におけるゲート酸化膜80の形成工程の影響を受けることなく、それらの厚い酸化膜を第1領域50のような微細パターン上に形成したときに生じる応力によってシリコン基板40に結晶欠陥が導入されることと、それによってリーク電流が増大することを回避できる。

【0038】

次いで、図2Nに示すように、低耐圧トランジスタ51のゲート電極61および高耐圧トランジスタ71のゲート電極81が形成される。これらは、たとえばポリシリコン膜からなっていてもよい。具体的には、ポリシリコン膜をシリコン基板40の全面に被着形成した後、これをエッティングしてゲート電極61, 81を形成すればよい。ゲート電極81は、そのエッジ部がLOCOS酸化膜84, 85上に位置するパターンに形成される。

【0039】

その後、ソースおよびドレインの形成のためのイオン注入が行われることにより、低耐圧トランジスタ51のソース拡散層58およびドレイン拡散層59がゲート電極61を挟んで対向する領域に形成され、さらに、ドリフト層78, 79のLOCOS酸化膜84, 85のほぼ中央の開口部の直下にソースコンタクト層78aおよびドレインコンタクト層79aがそれぞれ形成される。こうして、図1に示す構造の半導体装置が得られる。

【0040】

図3は、高耐圧トランジスタ71の近傍の平面図であり、図2Eの工程における構成が示されている。図2Eには、図3の切断面線II-IIに相当する断面構造が示されている。また、図4Aは、図3の切断面線IV-IVにおける断面図であり、図4Bは図2Fの工程に対応する同様の切断面を示し、図4Cは図2Iに対応する同様の切断面を示す。

反応性イオンエッティングによってバーニングされた状態の窒化シリコン膜43（図3において斜線を付して示す。）は、STI部72によって区画されるチャネル領域77の幅方向Wに関して、チャネル領域77からSTI部72側に微小距離Δ（たとえば、0.1～0.2μm）だけはみ出したパターンに形成される。チャネル領域77の長さ方向（一对のドリフト層78, 79の対向方向）に関しては、チャネル領域77上の窒化シリコン膜43は、所望のチャネル長に対応した長さとされる。このチャネル領域77の両側では、STI部72および窒化シリコン膜43によって取り囲まれた一对の矩形領域91, 92において、シリコン基板40の表面が露出することになる。この一对の矩形領域91, 92のほぼ中央には、コンタクト孔86, 87に対応した領域に窒化シリコン膜43が

形成されている。

【0041】

STI部72の上側縁部72a(チャネル領域77の縁部)には、不純物拡散工程(図2Bの工程など)前にその都度行われる洗浄処理(ふっ酸液によるライトエッチングなど)などに起因して、図4Aに示すような窪み(ディボット)93が生じている。この窪み93を残したままゲート酸化膜80を形成すると、この窪み93の部分において、ゲート酸化膜80には顕著な薄膜部が生じる。この薄膜部は、リークの原因となり、ゲート酸化膜耐圧の低下を招く。また、この薄膜部は、部分的に低しきい値の領域を形成することになるから、高耐圧トランジスタ71の静特性の悪化(しきい値が不安定になるなど)を招く。

【0042】

この実施形態では、図4Bに示すように、ゲート酸化膜80を形成する工程より前に窪み93を取り除くために、LOCOS酸化膜84, 85を形成する熱酸化工程(ドリフト層78, 79を形成する熱拡散工程)において、STI部72からチャネル領域77へと延びるバーズピーク94が成長させられる。すなわち、前述のとおり、窒化シリコン膜43は、チャネル領域77の幅方向に関して微小距離△だけSTI部72側にはみ出しているとともに、STI部72とチャネル領域77との近傍の領域を露出させるパターンに形成されているので、酸素雰囲気中での加熱により、STI部72の露出部において酸化膜が成長し、バーズピーク94が窒化シリコン膜43の下方へと潜り込んでチャネル領域77へと進入する。これにより、窪み93が取り除かれる。

【0043】

微小距離△は、前記熱酸化工程によって成長するバーズピーク94の根元部の膜厚tが、ゲート酸化膜80の所望の膜厚(たとえば1000Å)とほぼ等しくなるように定められる。より好ましくは、膜厚tは、ゲート酸化膜80の所望の膜厚とパッド酸化膜42(後にふっ酸液によりエッチングされる。)の膜厚との和にほぼ等しく定められるとよい。

ゲート酸化膜80を形成するための熱酸化工程では、図4Cに示すように、チャネル領域77のシリコン基板40の表面に成長するゲート酸化膜80とバーズピーク94とが接続し、チャネル領域77には、その中央領域からエッジ部に至る各部で均一な膜厚のゲート酸化膜80が形成されることになる。

【0044】

図5は、この発明の他の実施形態に係る半導体装置の構成を説明するための図解的な断面図である。この図5において、前述の図1に示された各部に対応する部分には、図1の場合と同一の参照符号を付して示す。

この実施形態では、第2領域70における素子形成領域は、STI部72ではなく、LOCOS酸化膜98によって分離されている。高耐圧領域としての第2領域70に関しては、高耐圧トランジスタ71のサイズが大きいので、必ずしもSTI法による分離を適用する必要はない。したがって、この実施形態のように、第2領域70における素子形成領域73の分離を、LOCOS法によって行っても差し支えない。しかも、LOCOS法による素子分離を行うことによって、第2領域70内における電界集中をより一層緩和することができるから、第2領域70の耐圧を一層高めることができる。また、第1および第2領域50, 70の境界部に位置するLOCOS酸化膜98に顕著な段差が生じることもない。

【0045】

以上、この発明の2つの実施形態について説明したが、この発明は、他の形態で実施することもでき、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【図面の簡単な説明】

【0046】

【図1】この発明の一実施形態に係る半導体装置の構成を説明するための図解的な断面図である。

【図 2 A】前記の半導体装置の製造工程を示す断面図である。

【図 2 B】図 2 A の次の工程を示す断面図である。

【図 2 C】図 2 B の次の工程を示す断面図である。

【図 2 D】図 2 C の次の工程を示す断面図である。

【図 2 E】図 2 D の次の工程を示す断面図である。

【図 2 F】図 2 E の次の工程を示す断面図である。

【図 2 G】図 2 F の次の工程を示す断面図である。

【図 2 H】図 2 G の次の工程を示す断面図である。

【図 2 I】図 2 H の次の工程を示す断面図である。

【図 2 J】図 2 I の次の工程を示す断面図である。

【図 2 K】図 2 J の次の工程を示す断面図である。

【図 2 L】図 2 K の次の工程を示す断面図である。

【図 2 M】図 2 L の次の工程を示す断面図である。

【図 2 N】図 2 M の次の工程を示す断面図である。

【図 3】高耐圧トランジスタの近傍の平面図であり、図 2 E の工程における構成を示す。

【図 4】図 4 A は図 3 の切断面線 IV-IV における断面図であり、図 4 B は図 2 F の工程に対応する同様の切断面を示し、図 4 C は図 2 I に対応する同様の切断面を示す。

【図 5】この発明の他の実施形態に係る半導体装置の構成を説明するための図解的な断面図である。

【符号の説明】

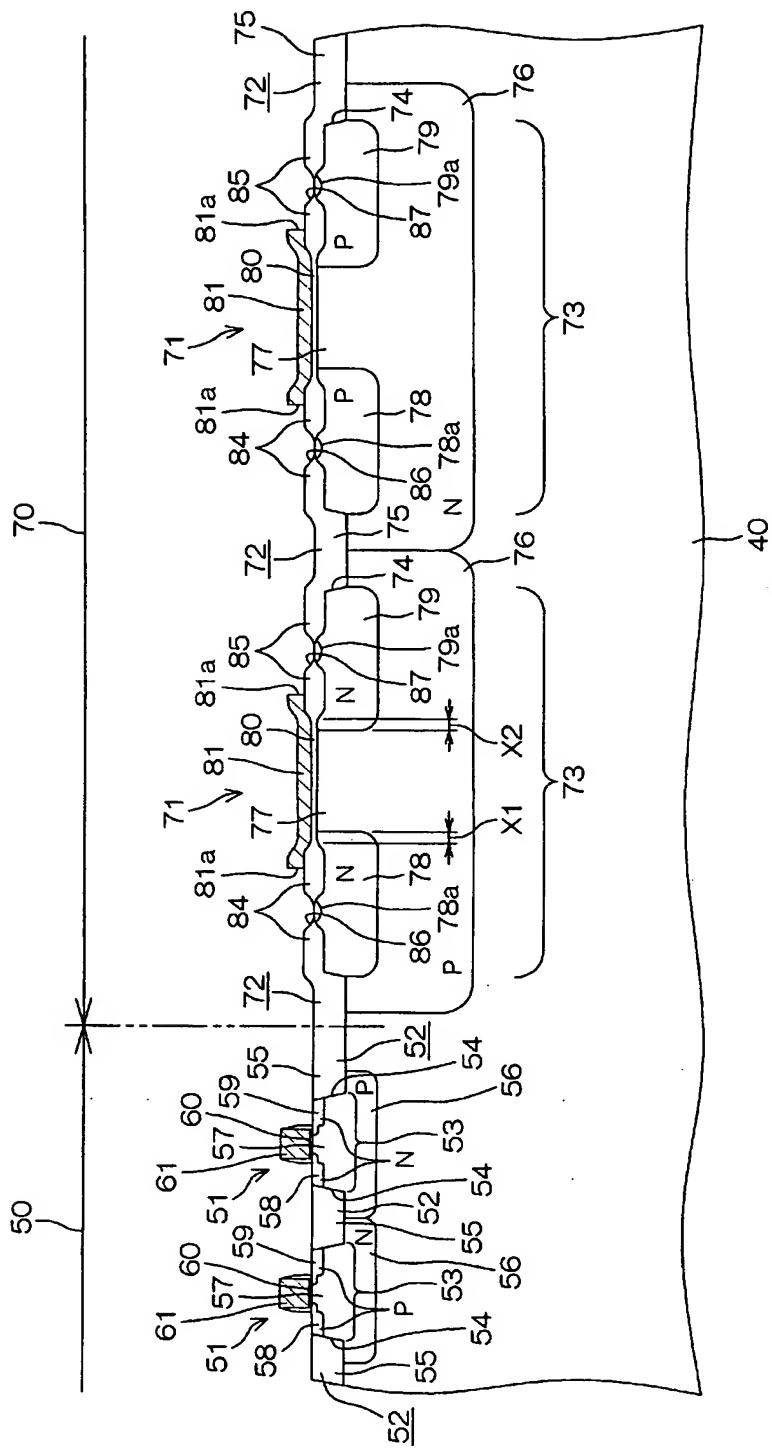
【0047】

4 0	シリコン基板
4 1	レジスト膜
4 2	パッド酸化膜
4 3	窒化シリコン膜
4 3 a	マスク開口
4 4	レジスト膜
4 4 a	レジスト開口
4 5	酸化皮膜
4 6	レジスト膜
4 7	レジスト膜
5 0	第1領域
5 1	低耐圧トランジスタ
5 2	STI部
5 3	素子形成領域
5 4	トレンチ
5 5	酸化シリコン
5 6	ウェル
5 7	チャネル領域
5 8	ソース拡散層
5 9	ドレイン拡散層
6 0	ゲート酸化膜
6 1	ゲート電極
7 0	第2領域
7 1	高耐圧トランジスタ
7 2	STI部
7 2 a	STI部の上側縁部
7 3	素子形成領域
7 4	トレンチ

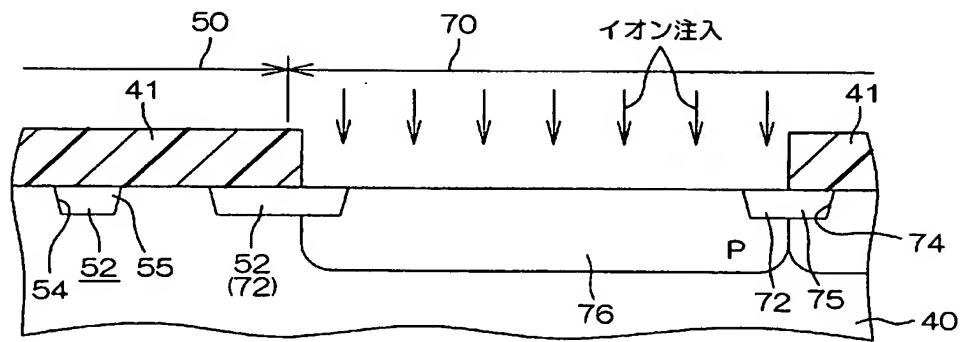
7 5 酸化シリコン
7 6 ウエル
7 7 チャネル領域
7 8 ソース側ドリフト層
7 8 a ソースコンタクト層
7 9 ドレイン側ドリフト層
7 9 a ドレインコンタクト層
8 0 ゲート酸化膜
8 1 ゲート電極
8 1 a ゲート電極の端部
8 4, 8 5 LOCOS酸化膜
8 6, 8 7 コンタクト孔
9 3 窪み
9 4 バースピーク
9 8 LOCOS酸化膜

7 5 酸化シリコン
7 6 ウエル
7 7 チャネル領域
7 8 ソース側ドリフト層
7 8 a ソースコンタクト層
7 9 ドレイン側ドリフト層
7 9 a ドレインコンタクト層
8 0 ゲート酸化膜
8 1 ゲート電極
8 1 a ゲート電極の端部
8 4, 8 5 L O C O S 酸化膜
8 6, 8 7 コンタクト孔
9 3 窪み
9 4 バーズピーク
9 8 L O C O S 酸化膜

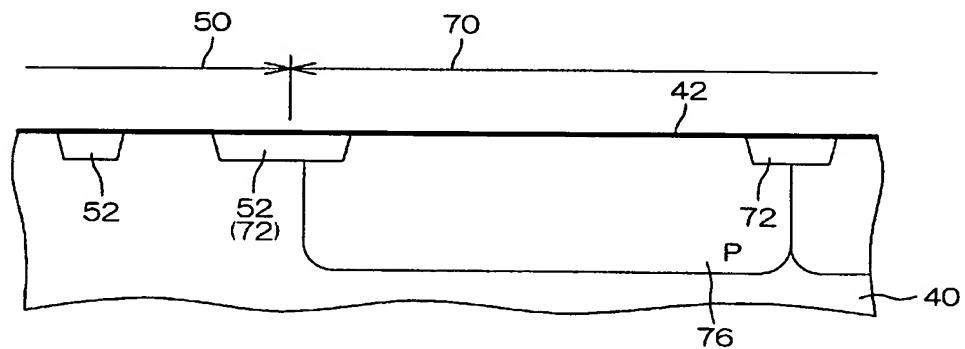
【書類名】図面
【図 1】



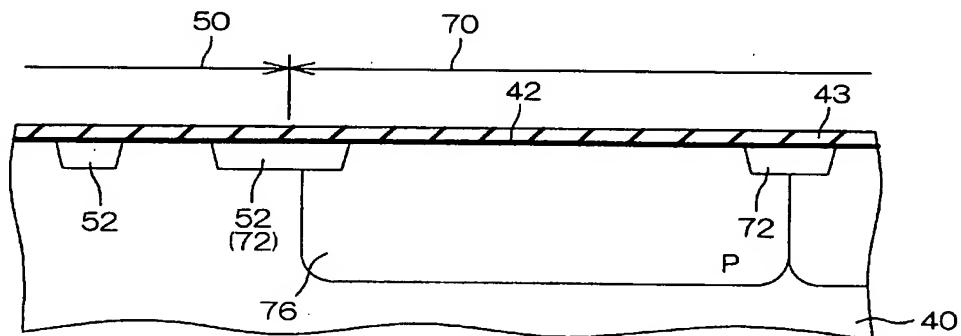
【図 2 A】



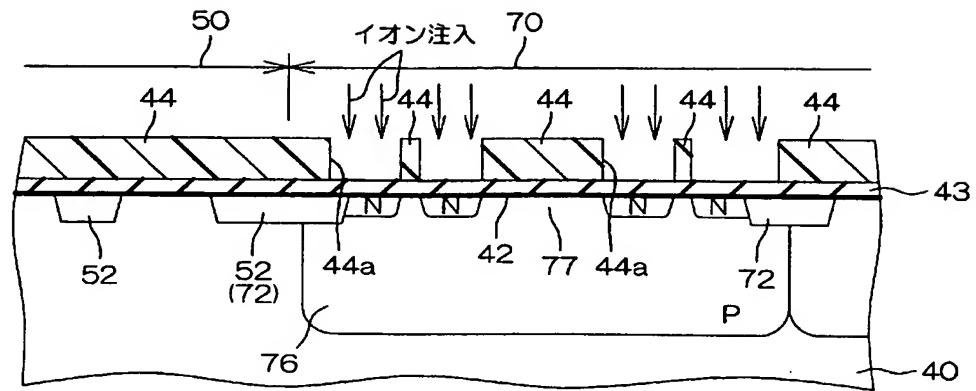
【図 2 B】



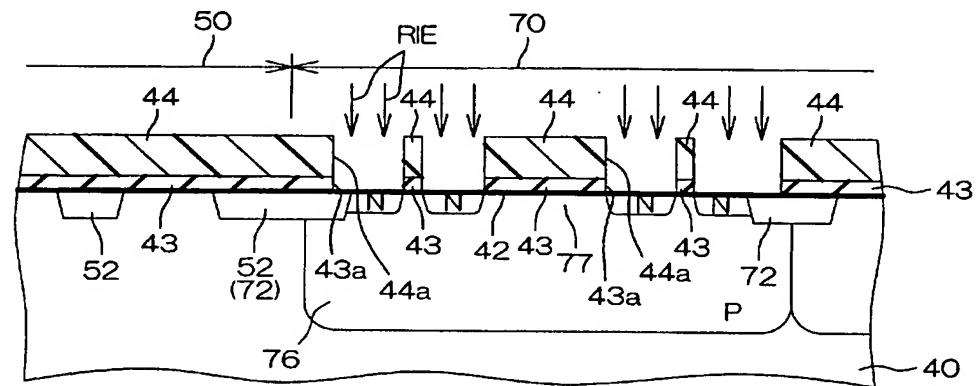
【図 2 C】



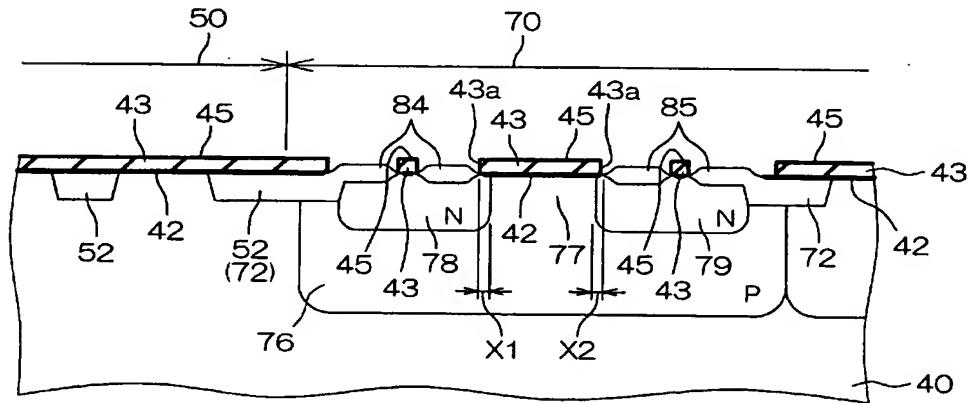
【図 2 D】



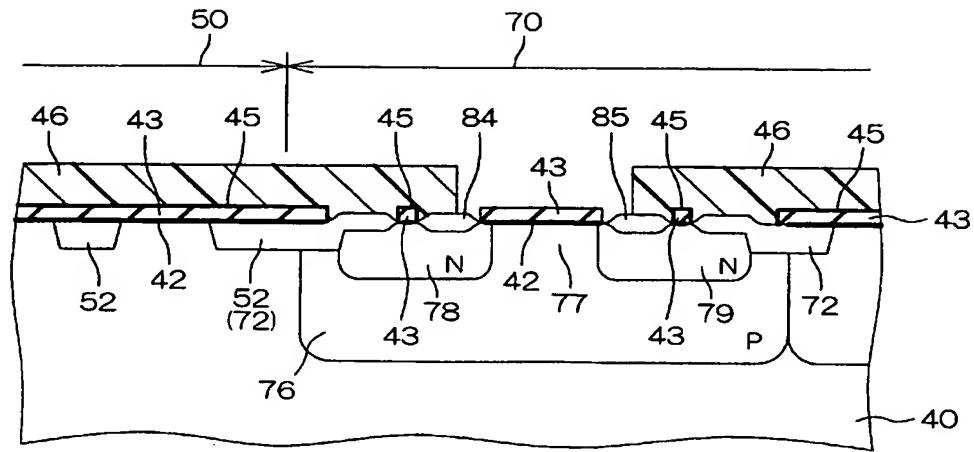
【図 2 E】



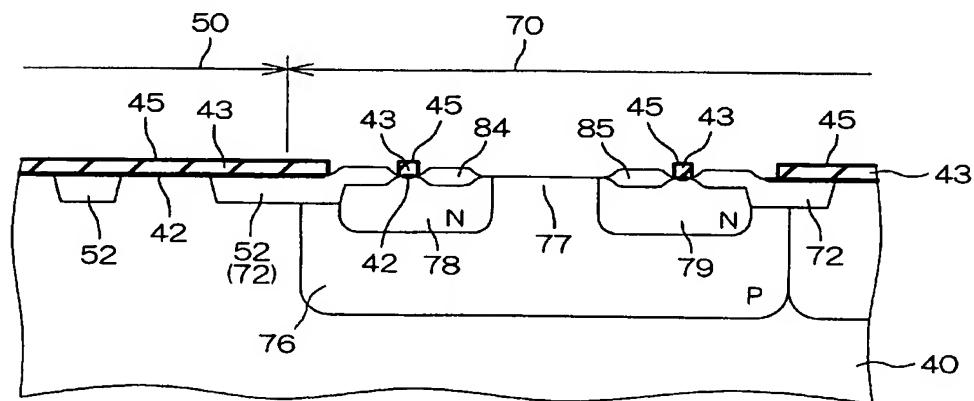
【図 2 F】



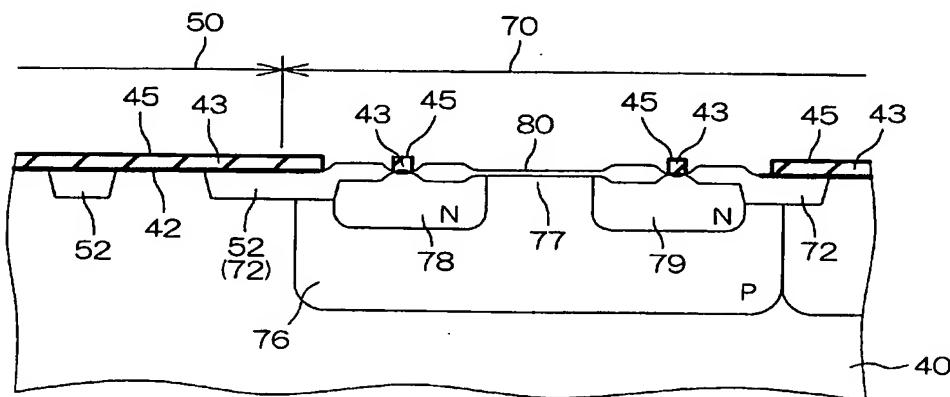
【図 2 G】



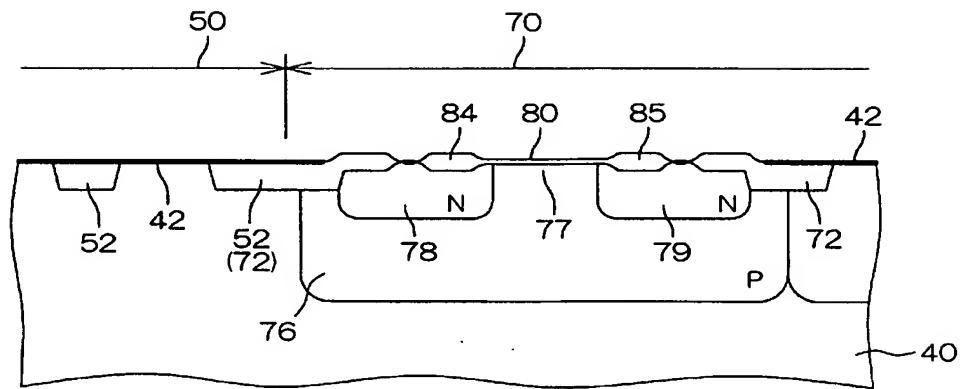
【図 2 H】



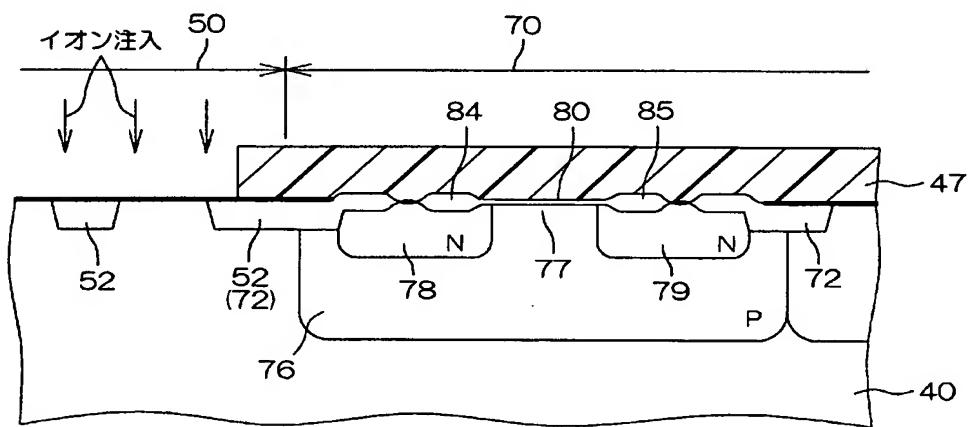
【図 2 I】



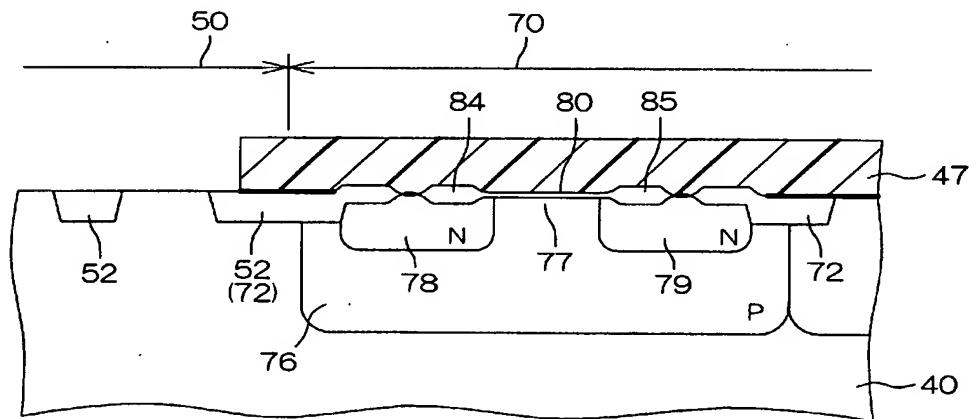
【図 2 J】



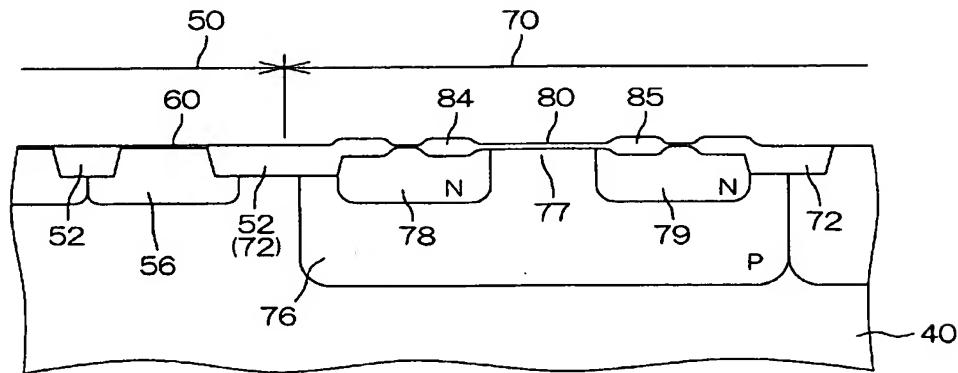
【図 2 K】



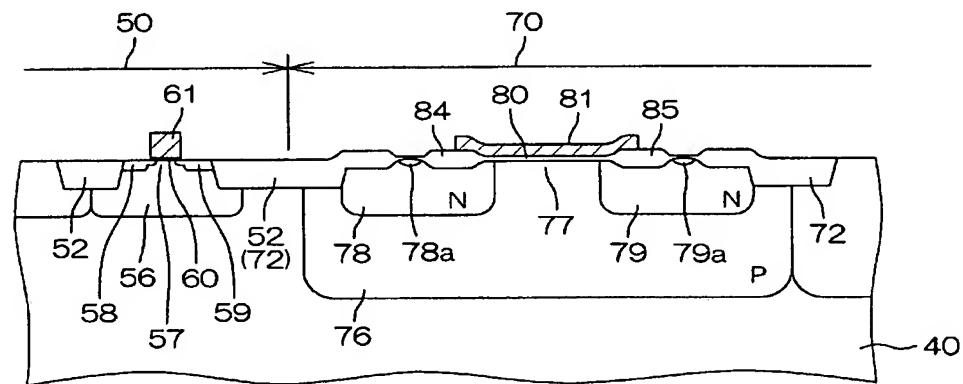
【図 2 L】



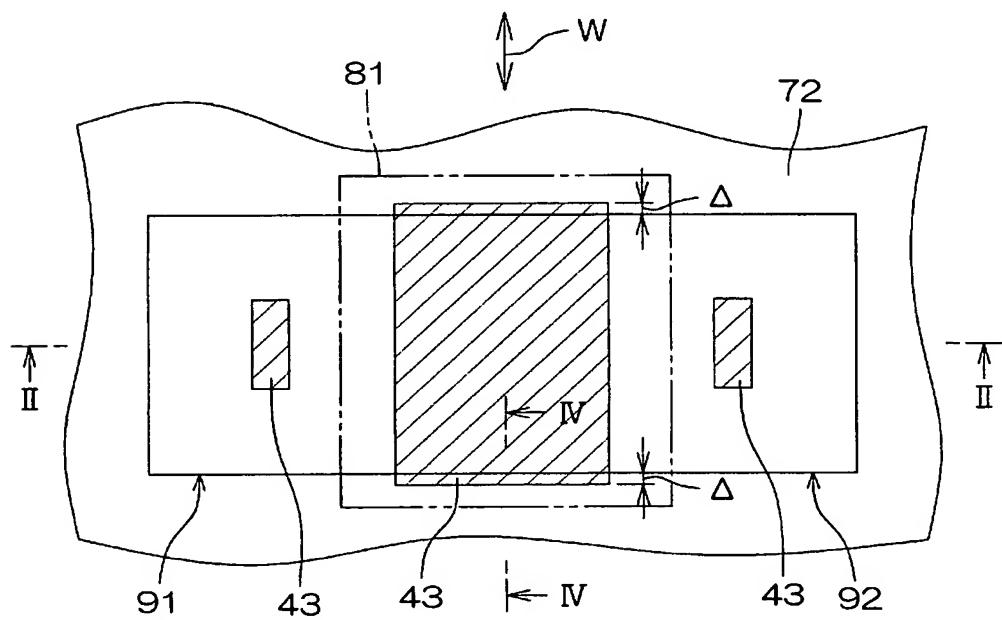
【図2M】



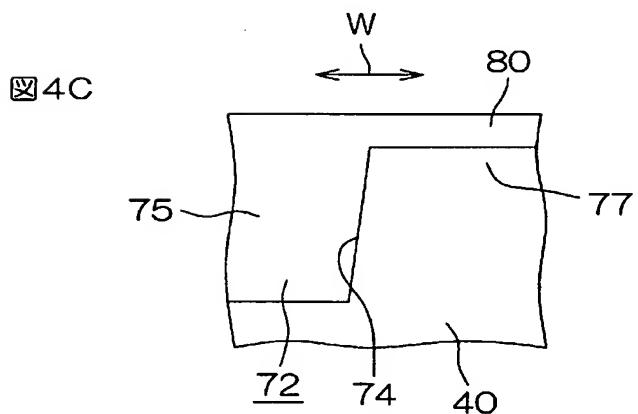
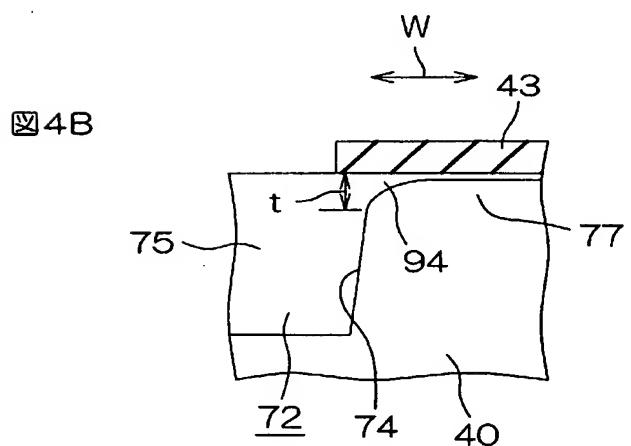
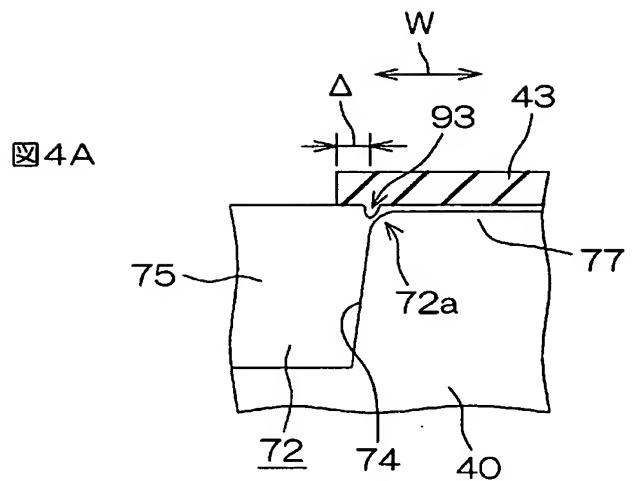
【図2N】



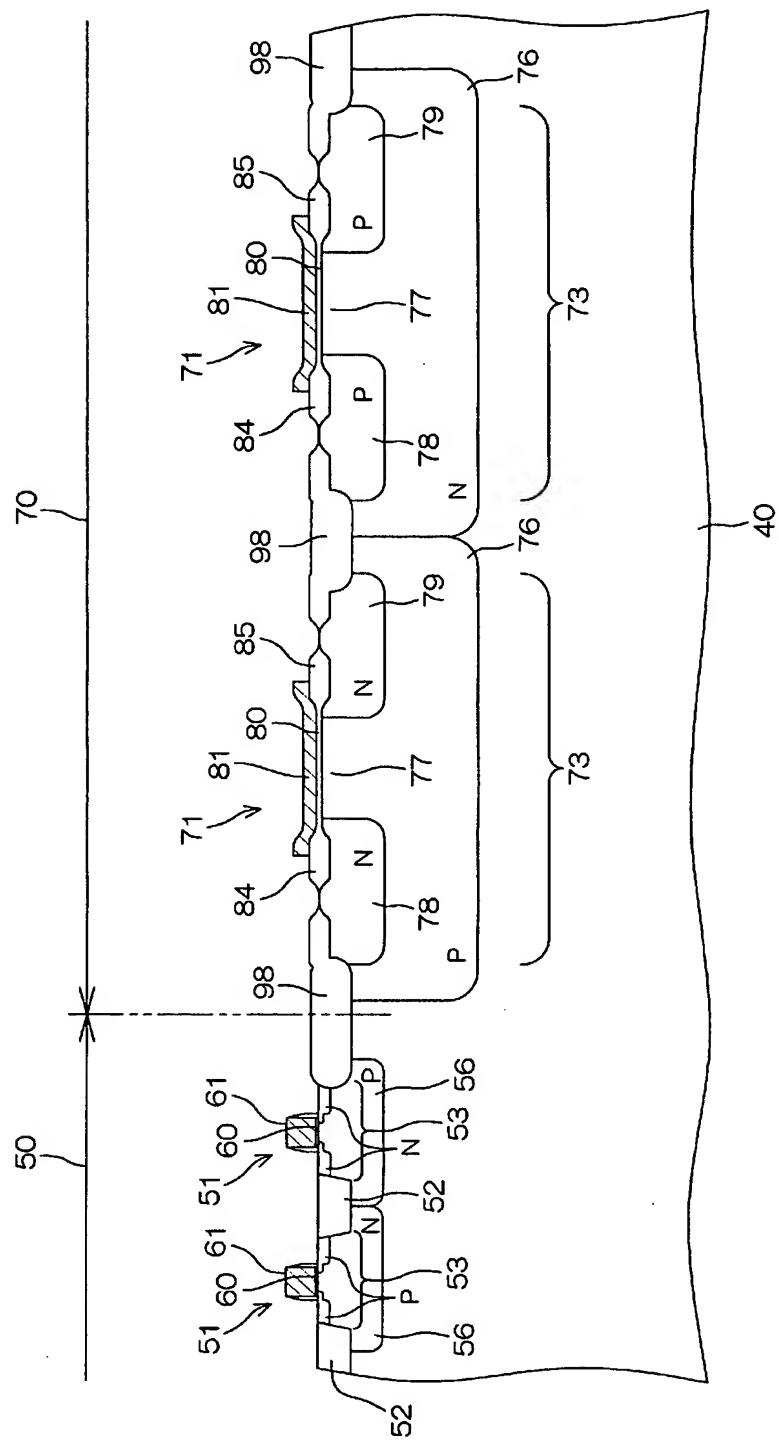
【図3】



【図4】



【図5】



【書類名】要約書

【要約】

【課題】半導体基板上に耐圧の異なる複数の領域を有し、耐圧の低い領域では素子の微細化を図ることができる一方、耐圧の高い領域の素子には十分な耐圧を付与することができる半導体装置およびその製造方法を提供する。

【解決手段】シリコン基板1には、低耐圧トランジスタ51が形成される第1領域50と、高耐圧トランジスタ71が形成される第2領域70とが設けられている。第1領域51は、微細構造に有利なSTI（シャロウ・トレンチ・アイソレーション）部52によって素子形成領域53が分離されている。高耐圧トランジスタ71は、ゲート電極81のエッジ部にゲート酸化膜80よりも厚いLOCOS酸化膜84, 85を配置したドリフト・ドレイン構造を有している。

【選択図】

図1

出願人履歴

0 0 0 1 1 6 0 2 4

19900822

新規登録

京都府京都市右京区西院溝崎町 21 番地

ローム株式会社